

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-178238

(43)公開日 平成6年(1994)6月24日

(51) Int.Cl.⁵

識別記号

室内整理番号

F I

技術表示箇所

H O 4 N 5/66

1 0 2 B 9068-5C

G O 9 G 3/20

J 7335-5G

審査請求 未請求 請求項の数 2 (全 11 頁)

(21)出願番号

特願平4-330222

(22)出願日

平成4年(1992)12月10日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 福田 秀典

大阪府大阪市阿倍野区長池町22番22号 シ

ヤープ株式会社内

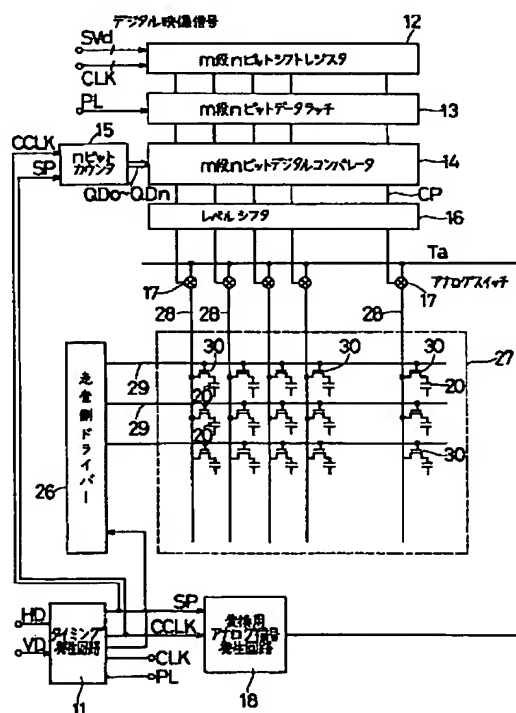
(74)代理人 弁理士 佐野 静夫

(54)【発明の名称】 液晶表示装置の駆動回路

(57) 【要約】

【目的】 構成が簡単で且つ安価な液晶表示装置の高解像度の駆動回路を得る。

【構成】 n ビットの画素データよりなるデジタル映像信号を m 段 n ビットのシフトレジスタに 1 ラインづつ順次格納し、 m 段 n ビットのラッチ回路で 1 水平期間保持して n ビットカウンタ出力と各段毎に並列に一致をとり、一致パルスを導出するデジタルコンパレータを設け、上記一致パルスの発生タイミングで白レベルと黒レベル間のアナログランプ波形をサンプリングして、液晶を駆動する TFT アレイの信号ラインに供給する。また、上記アナログランプ波形を液晶のガンマ補正特性に合わせて補正する構成にする。



【特許請求の範囲】

【請求項1】 ポリシリコンよりなる薄膜トランジスタで構成したマトリクスアレイにより、液晶表示装置を駆動するアクティブマトリクス型液晶表示装置の駆動回路において、一連の n ビットの画素データからなるデジタル映像信号を1ライン分ずつ順次格納するシフトレジスタ回路と、該シフトレジスタ回路に順次格納される1ライン分のデジタル映像信号を1水平期間保持するラッチ回路と、該ラッチ回路より出力される1ライン分のデジタル映像信号を構成する各画素データを n 進カウンタより出力されるデータ値と比較し一致した時点で一致パルスが発生するデジタルコンパレータ回路と、各水平周期毎に白レベルと黒レベル間のアナログランプ波形を発生する変換用アナログ信号発生回路と、上記一致パルスにより上記変換用アナログ信号発生回路からの上記アナログランプ波形をサンプリングして上記一致パルスの発生タイミングに対応したレベルのアナログ電圧を発生するアナログスイッチ回路と、該アナログスイッチ回路からのサンプリング出力を上記マトリクスアレイの選択されている水平ラインにおける所定の画素に対応した薄膜トランジスタに供給し、上記液晶表示装置の所定の画素に所定のアナログ映像信号を供給するようにしたことを特徴とする液晶表示装置の駆動回路。

【請求項2】 上記請求項1記載の液晶表示装置の駆動回路において、水平周期毎にアナログランプ波形を発生する変換用アナログ信号発生回路に上記アナログランプ波形に対して、液晶の電圧・透過率特性に応じた映像信号のガンマ補正を行わせるガンマ補正回路を設けたことを特徴とする液晶表示装置の駆動回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は液晶表示装置の駆動回路に係り、特にポリシリコンTFTを用いた薄膜トランジスタマトリクスアレイ（以下「TFTアレイ」という）を有してなるアクティブマトリクス型液晶表示装置の駆動回路に関するものである。

【0002】

【従来の技術】 従来、ポリシリコン型のアクティブマトリクス型液晶表示装置の水平ラインを駆動する駆動回路としては、例えば図8に示すようなものが提案されている。同図において、21はシフトレジスタであり、スタートパルス22とクロック23によりサンプリングパルスを順次発生させ液晶表示装置の対応するソースライン28に配置されたアナログスイッチ24を順次ONさせ、該アナログスイッチ24の一方より供給されるアナログ映像信号25を順次ソースライン28に供給する。そして走査側ドライバー26により選択される水平ライン29の薄膜トランジスタ（以下「TFT」という）30を介して映像信号を液晶表示素子27の各画素20に充電する。

【0003】 一方、1、2、3は入力されるアナログ映像信号のR、G、B信号をデジタル信号に変換するA/D変換回路であり、該A/D変換回路1、2、3によりデジタル信号に変換されたR、G、B信号はデジタル映像信号処理回路4で各種の信号処理が施される。デジタル映像信号処理回路4で信号処理が施されたデジタル映像信号R、G、Bは、それぞれD/A変換回路5、6、7でアナログ信号に変換された後増幅され、上記アナログ映像信号25となって上記アナログスイッチ24に供給される。

【0004】 図8において液晶表示素子27は単色表示を行わせるものを例示しているが、各ソースラインをR、G、B信号に対応して設けることによりカラー表示を行わせる液晶表示装置の駆動回路となる。

【0005】 またアモルファスシリコンTFTによるアクティブマトリクス型の液晶表示装置のソースラインを駆動する回路として、例えば図9に示すようなものが提案されている。これは上記図8に示すものとは異なり、映像信号はデジタル信号であり、所定ビットの画素データからなるデジタル映像信号SVdを1ライン分ずつ順次格納するシフトレジスタ回路（データレジスタ）32と、このシフトレジスタ回路32に順次格納される1ライン分のデジタル映像信号を1水平期間保持するラッチ回路33と、このラッチ回路33より出力される1ライン分のデジタル映像信号を構成する各画素データを n ビットカウンタ39より逐次増加、または減少させ出力されるデータ値とを比較し、一致した時点で一致パルス40を発生するデジタルコンパレータ回路34と、この一致パルス40により通常は外部より供給される上記 n 進カウンタ39の1周期と同期したランプ波形による変換用のアナログ入力電圧41をサンプリングするアナログスイッチ回路36と、このアナログスイッチ回路36からのサンプリング出力を次の1水平周期保持するアナログラッチ回路37と、出力段38により構成するものである。図中271はアモルファスシリコンTFT301と液晶の画素201をマトリクス状に配列した液晶表示素子である。

【0006】 また、液晶に加える電圧と光の透過率は一般に図5において曲線50で示すような関係になっている。同図で示した黒レベルと白レベルの範囲で映像信号をそのままニアに加えると光出力は黒付近と白付近で縮んだ映像となり、品位の悪い階調再現性のない映像となる。このため液晶の透過率カーブを考慮して予め液晶に加えるアナログ映像信号やデジタル映像信号を図中点線で示す映像信号補正カーブ51に応じてガンマ補正する。

【0007】 図10及び図11はガンマ補正回路の構成図であり、アナログ映像信号のR、G、B信号はそれぞれA/D変換回路60、61、62でデジタル信号に変換されて補正用ROM63、64、65に導かれ、該補

正用ROM63、64、65でデジタルR、G、B信号は予め記憶された上記図5に示す映像信号補正カーブ51に応じたルックアップテーブル方式の情報によりガンマ補正が施される。

【0008】図10は上記補正用ROM63、64、65でガンマ補正が施されたデジタルR、G、B信号を出力するものであるが、図11は上記デジタルR、G、B信号をD/A変換回路66、67、68によりアナログR、G、B信号に変換して出力する。そして、上記デジタル或いはアナログR、G、B信号は上記液晶表示素子27、271のソースラインに供給される。

【0009】

【発明が解決しようとする課題】図8に示す従来の駆動回路はアナログ映像信号を直接サンプリングする方式である。液晶を駆動する駆動回路はポリシリコンTFTで構成されているためトランジスタの移動度が高く高速である。そのため、図8に示すような簡単な回路構成で可能であるが、高速とはいえ水平方向の画素数（アナログスイッチの数、TFTの数）を多くし、高解像度の表示を得ようとするれば1水平期間の映像信号期間は限られているので、1サンプリングに割当てられる時間は画素数に応じて短くなる。しかもアナログサンプルであるため、高い液晶駆動電圧まで充電するには限界がある。

【0010】これを解決するためにアナログ映像信号を多重化したり、時間軸を伸長し液晶ドライバへの信号数を増加させる等の試みが行われている。しかしこのような処理は外部のアナログ映像信号の処理を複雑なものとするので回路負担が増大するという欠点があった。また、高度な映像処理を望む場合にはデジタル化が適しており、図8に示すようにアナログ映像信号をA/D変換しデジタル処理する過程を踏んでいるが、表示用のデバイスがアナログ信号入力であるとデジタル処理の後にD/A変換を必要とするため、この分回路が増大するという欠点があった。

【0011】一方、図9に示す従来の他の駆動回路ではデジタル映像信号入力となっているのでアナログ信号への変換については時間的余裕があり上記の欠点はないが、次のような問題がある。即ち、図9の従来例は動作が遅いアモルファスシリコンTFTを用いているので、ソースライン28から与えられるアナログ信号は各ソースに関して同時に1H期間ずつ与えなければならない、そのため各出力線路にランダムに与えられるレベルシフト35の出力によりサンプリングされたアナログスイッチ回路36の出力（時間的にランダム）をいったんホールドし、更にラッチ回路37を介してソースライン28に与えることにより全てのソースラインの信号タイミングを同一にするとともに、その保持期間を1Hとしている。このように、サンプリングした後再度アナログ信号をラッチしバッファを介してソースラインに供給するため、これらの回路をドライバICとするためには、こ

の分チップ面積が増大するという欠点があるとともに、この部分のバラツキにより表示品位が低下するという問題があった。

【0012】また、図10及び図11に示すようなルックアップ方式のガンマ補正を行うものにおいては直接デジタル映像信号が補正用ROMに入力されるため、ROM内での変換時間が1サンプル以内であることが必要とされる。従って水平方向の画素数や水平周期が短い映像信号であると高速なROMを必要とし、コスト高の要因となる欠点があった。

【0013】

【課題を解決するための手段】本発明は上記従来装置の問題を解決するもので、ポリシリコンよりなる薄膜トランジスタで構成したマトリクスアレイにより液晶表示装置を駆動するアクティブマトリクス型液晶表示装置の駆動回路において、一連のnビットの画素データからなるデジタル映像信号を1ライン分ずつ順次格納するシフトレジスタ回路と、該シフトレジスタ回路に順次格納される1ライン分のデジタル映像信号を1水平期間保持するラッチ回路と、該ラッチ回路より出力される1ライン分のデジタル映像信号を構成する各画素データをn進カウンタより出力されるデータ値と比較し一致した時点で一致パルスが発生するデジタルコンパレータ回路と、各水平周期毎に白レベルと黒レベル間のアナログランプ波形を発生する変換用アナログ信号発生回路と、上記一致パルスにより上記変換用アナログ信号発生回路からの上記アナログランプ波形をサンプリングして上記一致パルスの発生タイミングに対応したレベルのアナログ電圧を発生するアナログスイッチ回路と、該アナログスイッチ回路からのサンプリング出力を上記マトリクスアレイの選択されている水平ラインにおける所定の画素に対応した薄膜トランジスタに供給し、上記液晶表示装置の所定の画素に所定のアナログ映像信号を供給するように構成する。

【0014】また上記の液晶表示装置の駆動回路において、水平周期毎に上記のアナログランプ波形を発生する上記変換用アナログ信号発生回路に、上記アナログランプ波形に対して液晶の電圧・透過率特性に応じた映像信号のガンマ補正を行わせるガンマ補正回路を設けた構成にする。

【0015】

【作用】上記の構成によれば、外部より供給される一連のnビットの画素データからなるデジタル映像信号はシフトレジスタ回路に1ライン分ずつ順次格納され、上記シフトレジスタ回路に格納された1ライン分のデジタル映像信号はラッチ回路に供給されて、ここで1水平期間保持される。上記ラッチ回路より導出される1ライン分のデジタル映像信号のnビットの各画素データはデジタルコンパレータ回路でn進カウンタから出力されるデータと比較され、各画素データ毎に一致した時点で一致パ

ルスを発生する。

【0016】この各画素毎に生じる一致パルスはアナログスイッチ回路で変換用アナログ信号発生回路からの各水平期間毎に生ずる白レベルと黒レベル間のアナログランプ波形をサンプリングし、上記一致パルスの発生タイミングに対応したレベルのアナログ電圧を発生させ、上記アナログスイッチ回路より導出される各画素毎のアナログ電圧を走査側ドライバーにより選択されている水平ラインの各対応する画素に供給し、映像表示を行わせる。ポリシリコンTFTは動作が早いのでソースラインから与えられるアナログ信号は短時間でよいので、アナログスイッチ回路の出力をホールドしたり、ラッチしたりする必要はない。

【0017】また、上記の水平周期毎にアナログランプ波形を発生する変換用アナログ信号発生回路にガンマ補正回路を設けると、アナログランプ波形は液晶の電圧・透過率特性に応じてガンマ補正されたものとなる。このガンマ補正が施されたアナログランプ波形を上記のアナログスイッチ回路に供給すると、上記の各画素毎に供給されるアナログ電圧はガンマ補正が施されたものとなり、液晶表示装置には白レベル及び黒レベル近傍でも歪のない映像を再生することができる。

【0018】

【実施例】図1は本発明の一実施例のブロック図である。図1において11はタイミング発生回路であり、このタイミング発生回路11にはnビットのデータよりなるデジタル映像信号SVdに同期した水平同期信号H₀及び垂直同期信号V₀が基準タイミング信号として供給される。12はm段nビットのシフトレジスタ回路であり、このシフトレジスタ回路12にはnビットの上記デジタル映像信号SVdが供給される。また上記シフトレジスタ回路12には上記タイミング発生回路11よりクロックCLKが供給され、各水平期間においてデジタル映像信号SVdが1ライン分づつ順次格納される。

【0019】各水平期間でシフトレジスタ回路12に格納される1ライン分の画素データはm段nビットのデータラッチ回路13に供給される。このデータラッチ回路13には上記タイミング発生回路11より水平ブランキ期間内に発生するラッチパルスP₁が供給され、シフトレジスタ回路12より供給される1ライン分の画素データがラッチされ、次の1水平期間保持される。上記データラッチ回路13より出力される1ライン分の画素データはm段nビットで構成するデジタルコンパレータ回路14に供給される。

【0020】一方、上記タイミング発生回路11からはnビットカウンタ回路15に供給する比較カウンタ用クロックCLKと1水平周期毎に出力されるスタートパルスSpが出力される。nビットカウンタ回路15において、その出力QD₀～QD_nは1水平周期毎に比較カウンタ用クロックCLKのクロック周期で1ビットずつ

増加していく。そしてnビットカウンタ回路15のカウンタ出力QD₀～QD_nは上記m段nビットのデジタルコンパレータ回路14に供給される。

【0021】このデジタルコンパレータ回路14では上記データラッチ回路13より供給される1ライン分の画素データと、nビットカウンタ回路15の出力QD₀～QD_nとを各段とも各ビット毎に比較し、一致した時点で比較カウンタ用クロックCLKの1個分のパルスが発生する。各画素データはnビットであり、nビットカウンタ回路15の出力もnビットであるからnビットカウンタ回路15の1周期、即ち1水平周期内で1ライン分の画素データ全てを比較でき画素データの値に応じた時点で各段毎に一致パルスCpを出力する。

【0022】上記m段nビットのシフトレジスタ回路12、データラッチ回路13及びデジタルコンパレータ回路14と、nビットカウンタ回路15の詳細な回路構成の一例として4ビット構成の回路を図2及び図3に例示する。同図中、図1に対応する部分は同一符号で示す。上記各回路12～15における個々の回路構成は通常広く用いられているものであるから詳細な動作説明は省略する。

【0023】一方、上記デジタルコンパレータ回路14からの一致パルスCpは、レベルシフタ16により規定のパルス電圧にレベルアップされ、次段のアナログスイッチ回路17のゲートに供給される。アナログスイッチ回路17の入力は変換用のアナログ入力信号Taに接続されている。変換用のアナログ入力信号Taは上記タイミング発生回路11からの比較カウンタ用クロックCLKとスタートパルスSpにより同期がとられている変換用アナログ信号発生回路18からのランプ波形であるが詳細は後述する。

【0024】各段の上記アナログスイッチ回路17は上記レベルシフタ16から一致パルスCpが供給される期間ONするから上記アナログ入力信号Taがサンプルされ、この電圧値は画素データに対応した電圧値となる。そして、各段の上記アナログスイッチ回路17の出力は液晶を駆動するTFTマトリクスアレイの対応する各段のソースライン28に直接供給され、タイミング発生回路11からのコントロール信号で制御される走査側ドライバー26により選択されONした1水平ラインの対応する各段のTFT30を通して画素20の液晶を充電する。

【0025】上記のように各段のアナログスイッチ回路17がONする期間は各段の一致パルスCpの期間であり、これは画素クロックに対して十分期間が長いので安定して映像を書き込むことが可能となる。即ち、例えば1水平期間の映像有効期間をT_Hとした場合、水平方向の画素数を1000とすると図8に示す従来の構成ではT_H/1000の期間が画素クロックの期間であり、アナログスイッチ回路17のサンプリング期間であるが、

図1に示す本発明の構成において画素データを8ビットとした場合には1000画素であっても $T_H/256$ となり、約4倍の時間をとることが可能になる。

【0026】図4はnビットカウンタ回路15によりm段nビットのデジタルコンパレータ回路14から一致パルスCpを導出し、レベルシフタ16とアナログスイッチ回路17及び変換用アナログ信号発生回路18によりソースライン出力を得る場合の時間軸に対する信号変換過程を示す図であり、L段目の4ビット信号の場合を例示している。

【0027】図4において(a)はnビットカウンタ回路($n=4$)15のカウンタ出力波形である。m段nビットのデジタルコンパレータ回路14に入力されるL段目のデジタル映像信号の値がkであるとする、図4(b)に示すように図4(a)のカウンタ出力がkになった時点でデジタルコンパレータ回路14より一致パルスCpが導出される。

【0028】一方変換用アナログ発生回路18から供給される変換用のアナログ入力信号Taは図4(c)に示すように白レベル電圧から黒レベル電圧までランプ状に変化する波形にする。同図においては、電圧が高い方を黒レベルとしているが、これはノーマリホワイトモードの液晶素子に対するものである。ノーマリブラックモードでは黒レベルと白レベルの表現を入れ替えるようにすればよい。

【0029】従って、デジタルコンパレータ回路14より導出される図4(b)に示す一致パルスCpはレベルシフタ16で規定のパルス電圧にレベルアップされた後、図4(c)に示す変換用のアナログ入力信号Taと共にアナログスイッチ回路17に供給され、該アナログスイッチ回路17より図4(d)に示すような上記kの値に対応したアナログ電圧値を示すL段目のソースライン出力電圧PLを導出する。このソースライン出力電圧PLはL段目のソースライン28に供給され、走査側ドライバ26により選択されている水平ライン29の交点に位置するTF T 30を介し、該TF T 30に接続された画素20を形成する液晶に印加される。上記の説明はL段目についてのものであるが、第1段目よりm段目までの各段のソースライン28についても同様にして入力される映像信号に対応した画素情報が供給される。

【0030】なお、液晶は交流駆動させるが交流駆動を行わせるには図4(c)に示すような白レベルから黒レベルに向かう右上がりの直線よりなるランプ波形の極性を交互に反転させ、交互に黒レベルから白レベルへ右下がりの直線になるようにする。この場合、液晶の対向電極の印加電圧も上記極性に応じて変化させる必要があるが、これは周知の技術であるのでここでは説明を省略する。

【0031】液晶に加える電圧と光の透過率特性は上述するように一般に図5に示すような曲線50となってい

る。従って図5に示す黒レベル電圧と白レベル電圧の範囲において、映像信号に対して電圧をリニアに加えると光出力は黒付近と白付近で縮んだものとなり、品位の悪い階調再現性のない映像となる。このため液晶の透過率特性を示す上記曲線50を考慮して、予め液晶に加えるアナログ映像信号やデジタル映像信号を補正するいわゆるガンマ補正が行われる。

【0032】本発明においては上記のガンマ補正を次のようにして行わせている。即ち図6に示すように、図1の変換用アナログ信号発生回路18より導出する変換用のアナログ入力信号Taを白レベル電圧と黒レベル電圧間で直線的に変化する点線で示す直線L₁より上記液晶のガンマ補正を行わせる曲線L₂に変化させ、これを導出するようにする。

【0033】図7はガンマ補正回路のブロック図であり、このガンマ補正回路は図1の変換用アナログ信号発生回路18内に設けられる。図7において、タイミング発生回路1より導出される比較カウンタ用クロックCCLKと1水平周期毎に出力されるスタートパルスSpをnビットカウンタ回路71に供給する。このnビットカウンタ回路71は図1に示すnビットカウンタ回路15と同一構成であり、カウンタ出力Q₀・・・・Q_n(nビット)を導出してこれを次段のメモリ72のアドレスに入力する。メモリ72はデータテーブルとなっており、そのデータ内容は上記アドレス順に上記ガンマ補正の補正カーブに対応する値になっている。

【0034】従って上記メモリ72のデータ出力は上記ガンマ補正の補正カーブで補正されたものとなり、このガンマ補正が施されたデータ出力がD/Aコンバータ73のデータ入力として供給される。その結果、上記比較カウンタ用クロックCCLKのステップで上記D/Aコンバータ73の出力が変化し、1水平期間のガンマ補正用の補正カーブを持った変換用のアナログ入力信号Taを発生させることができる。この場合、比較カウンタ用クロックCCLKのステップは階調分のステップ数でよいので、回路自体は図10、図11に示す従来のガンマ補正用のメモリより低速の安価なものでよい。74はバッファアンプであり、このバッファアンプ74では白レベルと黒レベルの電圧調整が行えるようにしている。

【0035】尚、上述する本発明の実施例は単色表示を行わせるものであるが同様の構成を映像信号のR、G、B各信号に対して設け、R、G、B3原色のドットで1画素を形成するようにすればカラー表示を行う液晶表示装置の駆動回路を得ることができる。

【0036】

【発明の効果】本発明は上記の構成であるのでアナログ映像信号をホールドする等の処理を行う必要がなく、1ラインの画素数が増大した高解像度の表示を行わせる場合も比較的簡単な構成で入力映像信号に対応してTF T

アレイの駆動を正確に行わせることができる。また、映像信号レベルに応じたデジタル信号値をアナログ信号に変換してTFTアレイに供給する場合、変換用のアナログ入力信号を液晶のガンマ補正に合わせて予め補正した信号とするので簡単な構成で液晶のガンマ補正を行わせることができ、階調再現性の優れた表示を行わせるようにすることができる。

【図面の簡単な説明】

【図 1】 本発明の一実施例のブロック図。

【図 2】 本発明の要部の具体的な構成を示すブロック図。

【図 3】 本発明の他の要部の具体的な構成を示すブロック図。

【図 4】 本発明の動作説明図。

【図 5】 液晶の印加電圧に対する透過率特性を示す図。

【図 6】 液晶のガンマ補正の動作説明図。

【図 7】 本発明に用いる液晶のガンマ補正回路のブロック図。

【図 8】 従来例の構成図。

【図 9】 他の従来例の構成図。

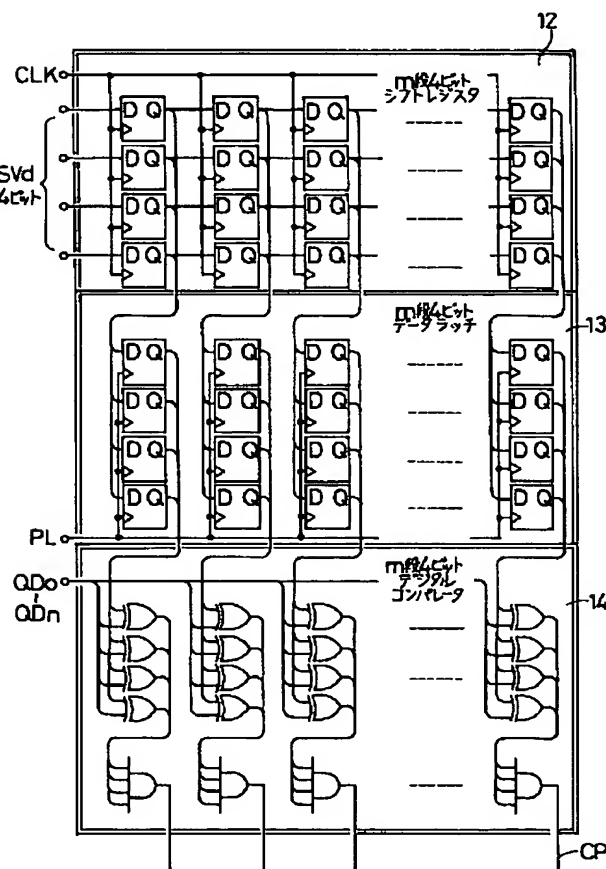
【図 10】 従来例における液晶のガンマ補正回路の構成図。

【図 11】 従来例における液晶の他のガンマ補正回路の構成図。

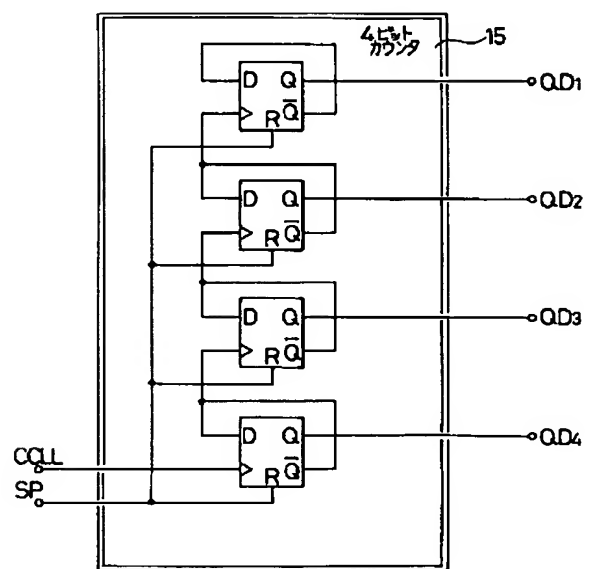
【符号の説明】

- 12 シフトレジスタ回路
- 13 データラッチ回路
- 14 デジタルコンパレータ回路
- 15 nビットカウンタ回路
- 17 アナログスイッチ回路
- 18 変換用アナログ信号発生回路
- 20 画素
- 30 TFT

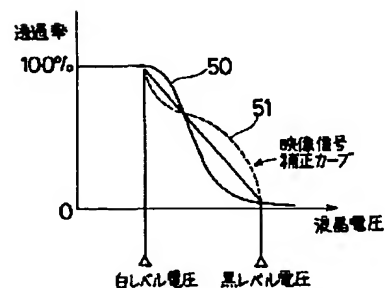
【図 2】



【図 3】

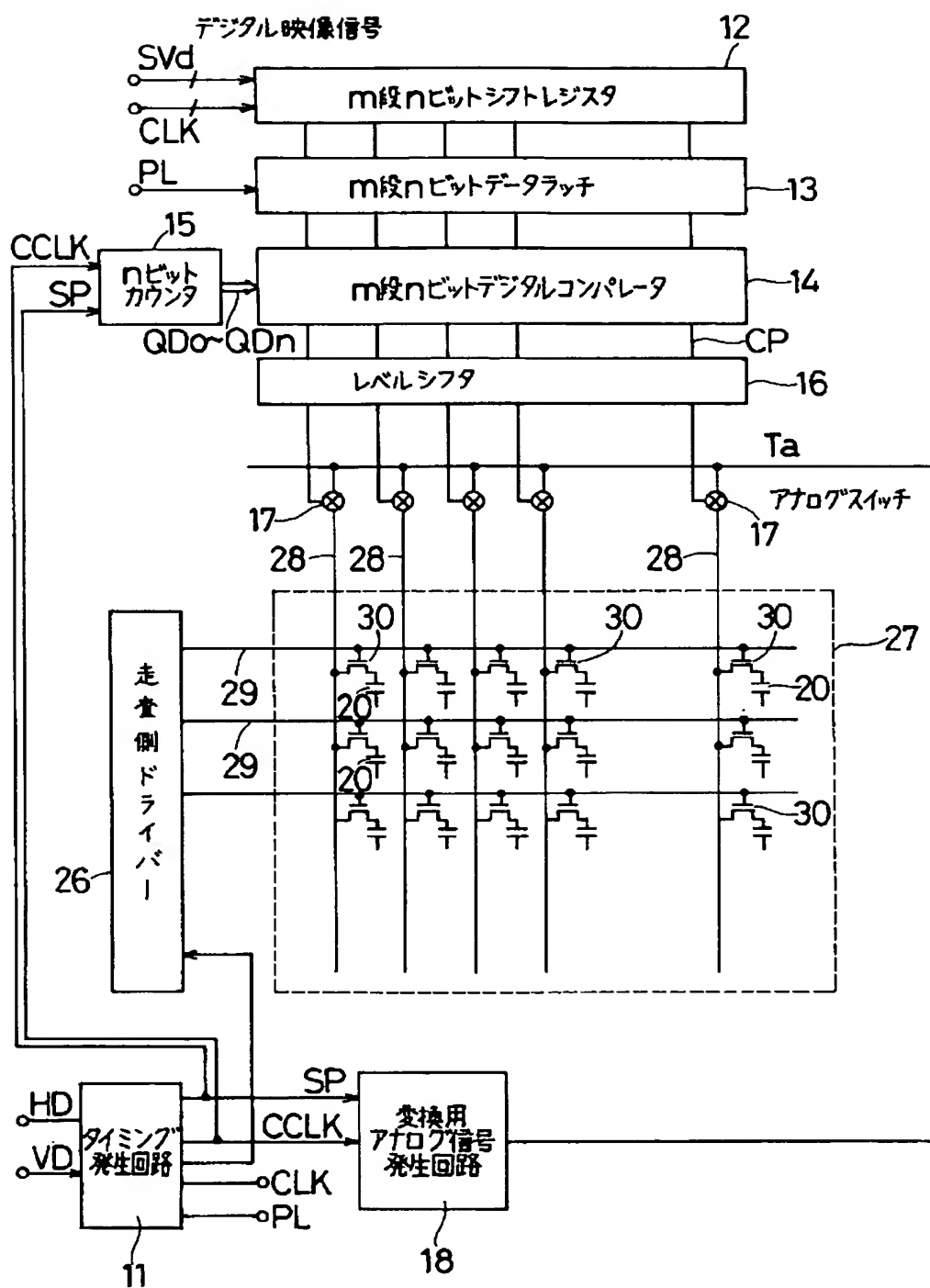


【図 5】

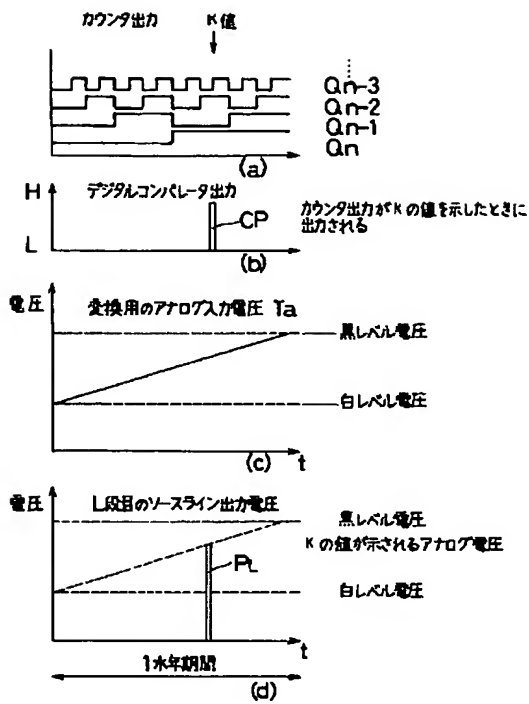


液晶の透過率特性

【図1】

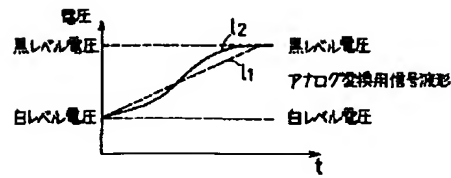


【図4】

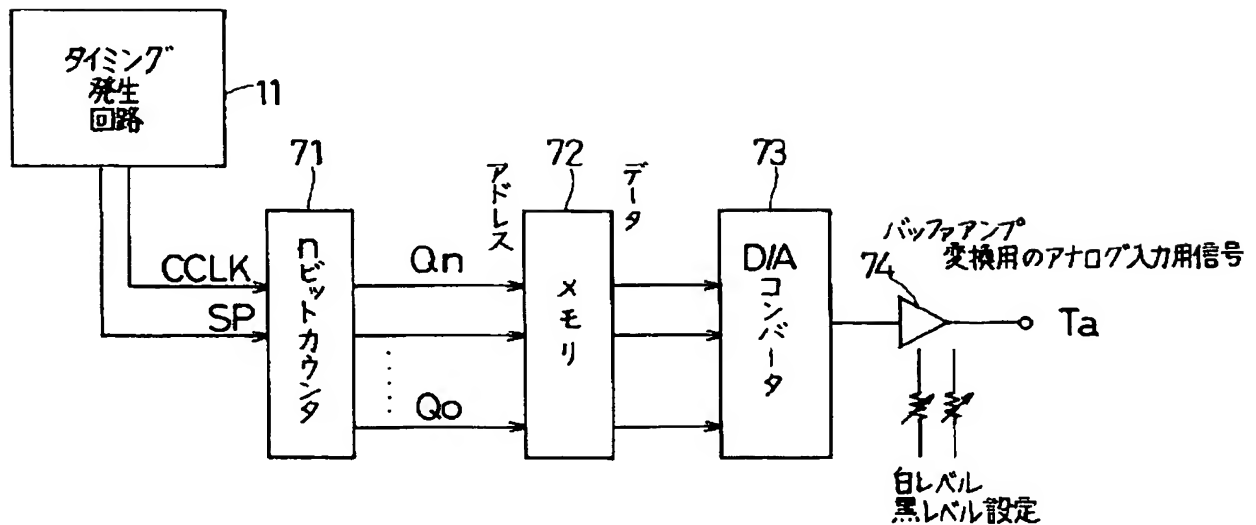


デジタル映像信号が K の値であるときの
L 段目のソースライン出力変換過程

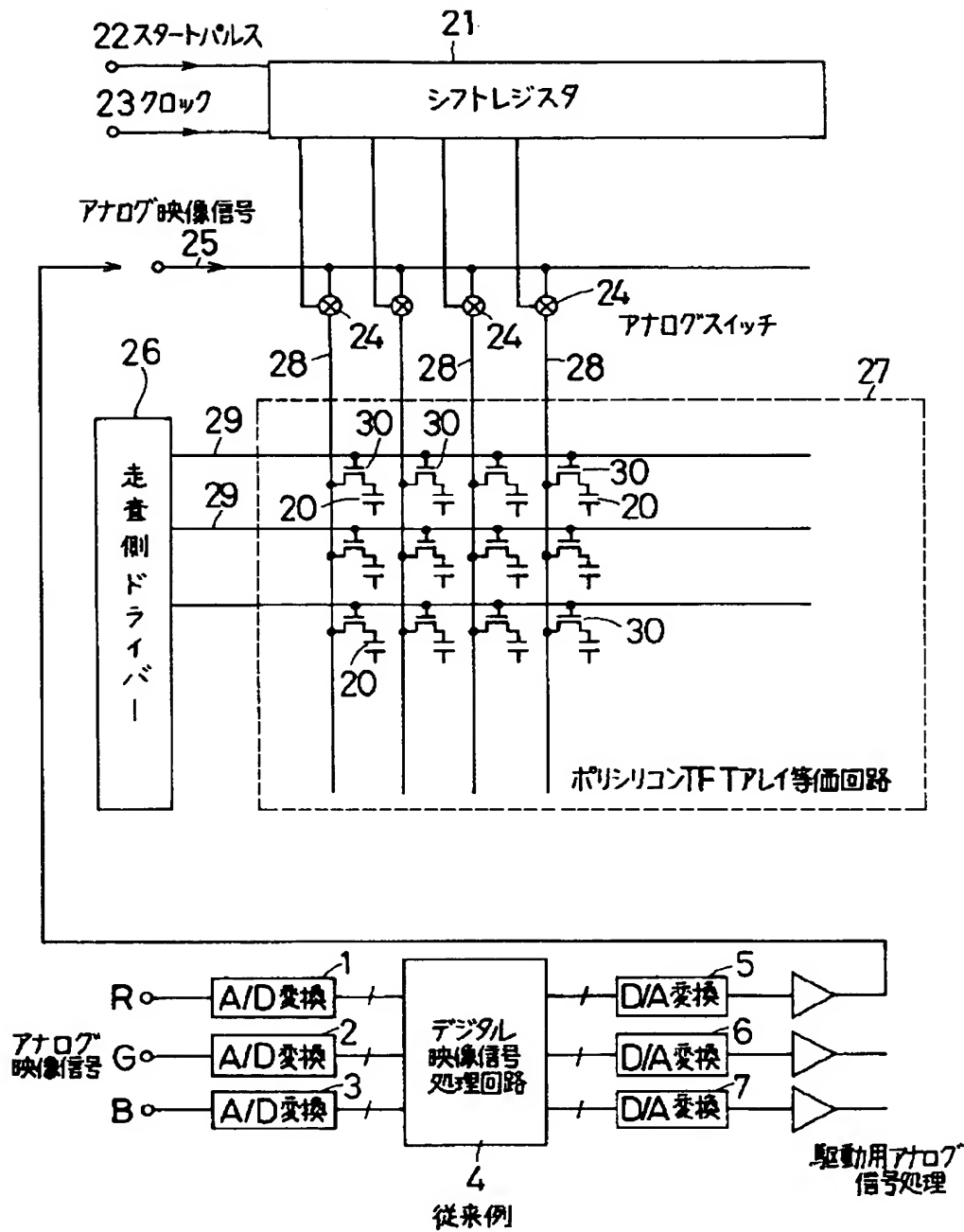
【図6】



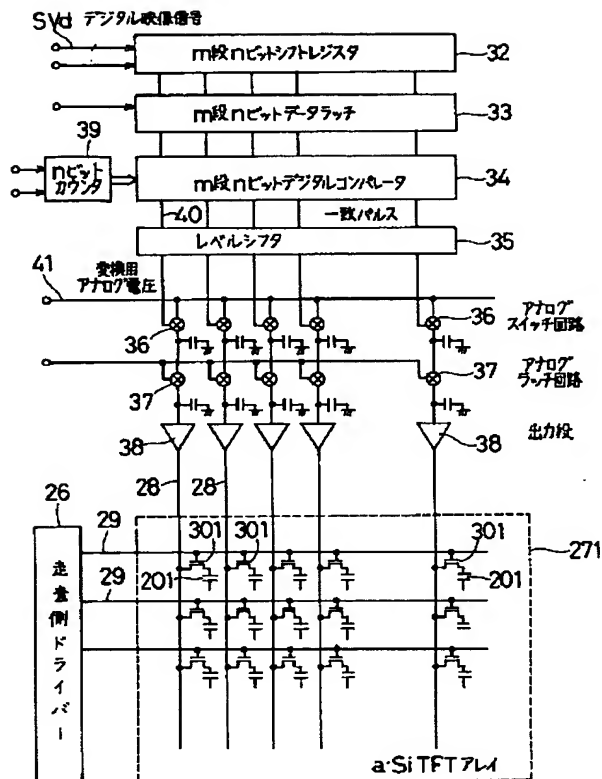
【図7】



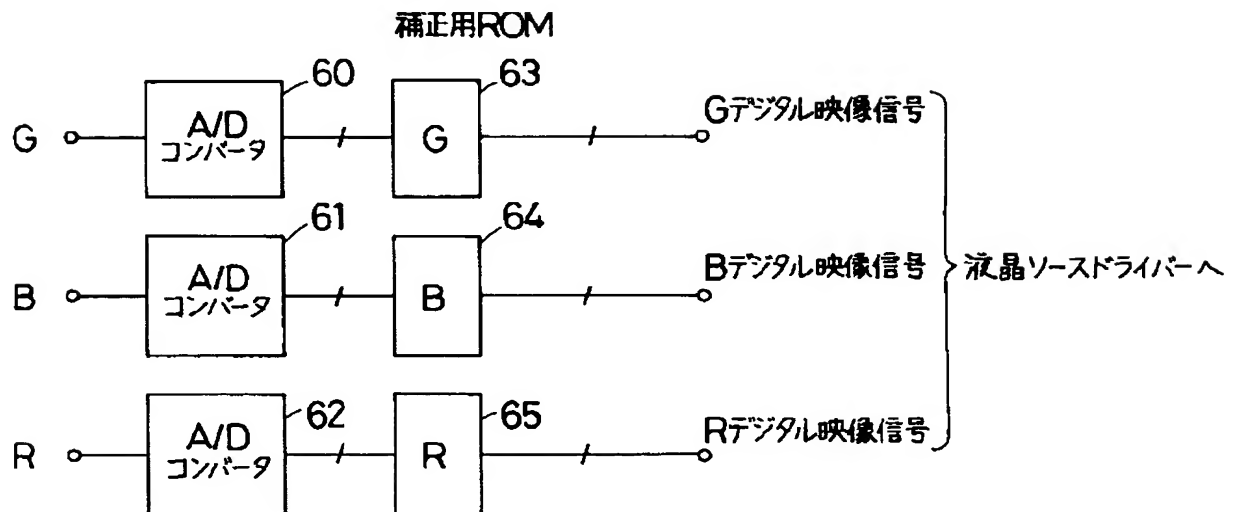
【図8】



【図9】



【図10】



【図11】

アナログ映像信号

